



日本国特許庁
JAPAN PATENT OFFICE

H. Okumura

2/9/04

Q77321

1 of 1

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2003年 2月20日

出願番号
Application Number: 特願2003-042083

[ST. 10/C]: [JP2003-042083]

出願人
Applicant(s): 日本電気株式会社

2003年 8月 8日

特許庁長官
Commissioner,
Japan Patent Office

今井 康夫



【書類名】 特許願

【整理番号】 34803860

【提出日】 平成15年 2月20日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 29/786

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 奥村 展

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100096253

【住所又は居所】 東京都台東区東上野一丁目 1 9 番 1 2 号 偕楽ビル

【弁理士】

【氏名又は名称】 尾身 祐助

【手数料の表示】

【予納台帳番号】 003399

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9002137

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 薄膜トランジスタ基板およびその製造方法

【特許請求の範囲】

【請求項 1】 同一絶縁基板上に、絶縁膜厚が異なる2種類以上のトップゲート型薄膜トランジスタを有する薄膜トランジスタ基板において、第一薄膜トランジスタは、第一ゲート絶縁膜と、第一ゲート電極と、該第一ゲート電極に対して自己整合的に形成された不純物導入領域とを有し、第二薄膜トランジスタは、前記第一ゲート絶縁膜およびゲートカバー膜との積層膜からなる第二ゲート絶縁膜と、第二ゲート電極と、該第二ゲート電極に対してオーバーラップする不純物導入領域とを有することを特徴とする薄膜トランジスタ基板。

【請求項 2】 前記第二薄膜トランジスタが、前記第二ゲート電極に加えて、前記第一ゲート絶縁膜上に形成された前記第一ゲート電極と同層で同一材料の第三ゲート電極をも有するサブゲート型薄膜トランジスタであることを特徴とする請求項1に記載の薄膜トランジスタ基板。

【請求項 3】 前記第二薄膜トランジスタの前記第三ゲート電極側の前記不純物導入領域は、前記第三ゲート電極に対して自己整合的に形成されていることを特徴とする請求項 2 に記載の薄膜トランジスタ基板。

【請求項 4】 前記自己整合型に形成された不純物導入領域においては、ゲートに対して内側 $0.1\mu\text{m}$ 以内の範囲で不純物導入領域が形成されていることを特徴とする請求項1から3のいずれかに記載の薄膜トランジスタ基板。

【請求項 5】 前記オーバーラップ領域においては、ゲートに対して内側 $2.0\mu\text{m}$ 以内の範囲で不純物導入領域が形成されていることを特徴とする請求項1から4のいずれかに記載の薄膜トランジスタ基板。

【請求項 6】 前記第一ゲート電極および前記第二ゲート電極の少なくとも一方が、半導体と金属または半導体と金属シリサイドとの2層膜で形成されていることを特徴とする請求項1から4のいずれかに記載の薄膜トランジスタ基板。

【請求項 7】 前記第二薄膜トランジスタの少なくとも一方の前記不純物導入領域は、LDD構造に形成されていることを特徴とする請求項1から6のいずれかに記載の薄膜トランジスタ基板。

【請求項 8】 前記第一薄膜トランジスタの前記不純物導入領域は、LDD 構造に形成されていることを特徴とする請求項 1 から 7 のいずれかに記載の薄膜トランジスタ基板。

【請求項 9】 同一絶縁基板上に、第一ゲート絶縁膜を有するトップゲート型の第一薄膜トランジスタと、前記第一ゲート絶縁膜より膜厚の厚い第二ゲート絶縁膜を有するトップゲート型の第二薄膜トランジスタと、を有する薄膜トランジスタ基板を製造する方法において、

(1) 絶縁基板上に複数の活性領域を形成しその上に第一ゲート絶縁膜を堆積する工程と、

(2) 一部の活性領域上に第一ゲート電極を形成する工程と、

(3) 前記活性領域に選択的に不純物を導入して活性領域に不純物導入領域を形成する工程と、

(4) ゲートカバー膜を堆積する工程と、

(5) 第一ゲート電極の形成されていない活性領域上に第二ゲート電極を形成する工程と、

をこの順に行うことを特徴とする薄膜トランジスタ基板の製造方法。

【請求項 10】 前記第 (4) の工程と前記第 (5) の工程との間に、不純物導入領域に導入された不純物の活性化を行う工程が挿入されることを特徴とする請求項 9 に記載の薄膜トランジスタ基板の製造方法。

【請求項 11】 前記不純物の活性化が、光照射または熱した気体を吹き付ける急速加熱法により行われることを特徴とする請求項 10 に記載の薄膜トランジスタ基板の製造方法。

【請求項 12】 前記第 (4) の工程の後または前記不純物の活性化の工程の後前記第 (5) の工程の前に、水素化処理の工程が挿入されることを特徴とする請求項 9 から 11 のいずれかに記載の薄膜トランジスタ基板の製造方法。

【請求項 13】 前記第一ゲート電極の形成工程または前記第二ゲート電極の形成工程は、プラズマ CVD 法による半導体薄膜の堆積を行う工程を含むことを特徴とする請求項 9 から 12 のいずれかに記載の薄膜トランジスタ基板の製造方法。

【請求項 14】 前記第一ゲート電極の形成工程または前記第二ゲート電極の形成工程は、プラズマCVD法による半導体薄膜の堆積を行う工程とこれに続く金属または金属シリサイドの堆積工程を含むことを特徴とする請求項9から12のいずれかに記載の薄膜トランジスタ基板の製造方法。

【請求項 15】 前記活性領域は前記絶縁基板上に島状に形成されることを特徴とする請求項9から14のいずれかに記載の薄膜トランジスタ基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、薄膜トランジスタ基板およびその製造方法に関し、より詳しくは絶縁基板上に、駆動回路や電源昇圧回路またはレベルシフト回路等の駆動電圧の異なる複数種類の薄膜トランジスタが形成された薄膜トランジスタ基板およびその製造方法に関するものである。

【0002】

【従来の技術】

近年、ポリシリコン (poly-Si) 薄膜トランジスタ (TFT) により、安価なガラス基板上に形成される液晶あるいは有機EL等の表示装置において、画素用スイッチ素子に加えて駆動回路をも同一基板上に形成することが可能となっている。駆動回路においては低消費電力の観点から、動作電圧はより低い方が望ましい。しかし、画素動作にはある一定以上の電圧が必要であるため、異なる動作電圧のTFTを複数種類、基板上に混載し、電源昇圧回路またはレベルシフト回路等を含む駆動回路を形成する技術が必須となる。

【0003】

TFTの動作電圧が異なる場合、耐圧の問題からゲート絶縁膜厚を変えるのが一般的な手法である。例えば、特許文献1には、図10に示すように、ソース・ドレイン領域となる不純物導入領域305a、305bの形成された島状活性層302を絶縁基板301上に形成し、全面にゲート絶縁膜303を形成してその上に周辺回路用TFT401のゲート電極304を形成し、次いで全面に第一層間絶縁膜306を形成しマトリクス

回路用（スイッチング）TFT402のゲート電極307を形成した後、第二層間絶縁膜308を堆積し金属配線309を形成する技術が開示されている。また、特許文献2には、絶縁性基板上に島状活性層を形成し、スイッチングTFT用の島状活性層上に選択的に第1ゲート絶縁膜を形成した後、全面に第2ゲート絶縁膜を堆積し、スイッチングTFTのゲート電極と周辺回路用TFTのゲート電極とを同時に形成し、不純物イオンの注入、レーザ光を用いて活性化処理を行う技術が開示されている。

【0004】

【特許文献1】

特開平5-335573号公報

【特許文献2】

特開平8-250742号公報

【0005】

【発明が解決しようとする課題】

しかしながら、特許文献2に開示されている方法では、フォトリソグラフィ工程を含めた絶縁膜のエッチング工程が増加するという問題がある。また、TFT製造工程の中で、不純物導入工程、活性化工程、および水素化工程の各工程は、活性層上の絶縁膜厚に大きく依存するため、これらの各工程を膜厚の異なる絶縁膜（ゲート絶縁膜）を通して行った場合には、複数種類のTFTにおいてTFT特性、特に閾値電圧をそろえることが困難となり、良好な回路動作が得られにくくなるという問題がある。

不純物導入工程においては、複数種類のTFTを全て自己整合的に導入するとすると、フォトリソグラフィ工程および不純物導入工程数が増加するという問題が発生する。また、活性層上の絶縁膜厚が120nmを超えると、絶縁膜透過能力に劣るリンの導入が困難になるという問題も発生する。これらの問題を回避するために、例えば、特許文献1に開示されているように、活性層形成直後に複数種類のTFTに対して同時に不純物導入を行ってもよいが、自己整合的に不純物導入を行わない場合、ゲート目合わせ精度の観点からオーバーラップあるいはオフセット構造を招いてしまい、閾値電圧にばらつきが生じてしまう。また、これらの構造の前者では寄生容量が増加し、後者ではTFTオン状態での電流値が低下し、いず

れの場合も回路動作周波数の低下を招く。

【0006】

活性化工程においては、通常の炉による熱活性化法は10時間以上の処理時間が必要でスループットが低いために、高スループットの活性化法として、レーザ活性化法あるいはランプ加熱法等の光照射による活性化法、および600℃以上程度に熱した気体を吹き付ける急速加熱法などが用いられる。しかしながら、これらの高スループット活性化法は熱衝撃も大きいために、ゲート電極が剥がれやすいという問題がある。また、熱拡散の影響で、直上の絶縁膜による活性層の冷却効果が熱活性化法に比べて極めて大きく、絶縁膜厚に依存して熱履歴が変化し、最高到達温度が変化するという問題がある。これにより、活性化率が異なるという問題に加え、特に600℃程度以下で製造されるガラス基板上の低温poly-SiTFTにおいては、活性化工程の副次効果として得られるpoly-Si膜の欠陥密度の減少および絶縁膜の緻密化等に、変動を与える。さらに、レーザ活性化法では、絶縁膜厚に依存して光の反射率が異なるという問題も生じる。すなわち、例えば、特許文献2に開示されているように、活性化工程において活性層上の絶縁膜厚が異なると、活性化率に差が生じ、活性層のチャネル領域および不純物導入領域の層抵抗が異なって形成され、移動度、閾値電圧、信頼性等が異なったTFTが形成されることになる。

【0007】

絶縁膜厚に依存したチャネル領域および不純物導入領域の層抵抗の変化を回避するために、例えば、特許文献1に開示されているような、絶縁膜形成前に不純物導入および活性化を行う方法を採用することは有効である。しかしこの場合、前述した活性化工程の副次効果が得られなくなる。

前述の文献には何れにも水素化工程についての記載がないが、水素化工程においても、水素原子あるいは水素ラジカル等の拡散の影響で、直上の絶縁膜厚に依存して活性層中の不対電子の不動態化の効率が変化する。すなわち、活性化工程と同様に水素化工程においても活性層上の絶縁膜厚が異なると、不対電子の不動態化率に差異が生じ、活性層のチャネル領域および不純物導入領域の層抵抗に差異が生じ、TFTの閾値等の諸特性の異なったTFTが形成されることになる。また、

TFT信頼性も⁴不対電子の不動態化効率に依存するため、絶縁膜厚の厚いTFTはより早い劣化を招くことになる。

本願発明は、以上の問題点を鑑みてなされたものであって、その目的は、高スループットで形成可能な、閾値特性がそろい、高周波数で駆動可能な、高信頼性を有する回路動作が得られる、絶縁膜厚が異なる2種類の薄膜トランジスタを有する薄膜トランジスタ基板およびその製造方法を提供することにある。

【0008】

【課題を解決するための手段】

上記の目的を達成するため、本発明によれば、同一絶縁基板上に、絶縁膜厚が異なる2種類以上のトップゲート型薄膜トランジスタを有する薄膜トランジスタ基板において、第一薄膜トランジスタは、第一ゲート絶縁膜と、第一ゲート電極と、該第一ゲート電極に対して自己整合的に形成された不純物導入領域とを有し、第二薄膜トランジスタは、前記第一ゲート絶縁膜およびゲートカバー膜との積層膜からなる第二ゲート絶縁膜と、第二ゲート電極と、該第二ゲート電極に対してオーバーラップする不純物導入領域とを有することを特徴とする薄膜トランジスタ、が提供される。

ここで、前記第二薄膜トランジスタは、前記第二ゲート電極に加えて、前記第一ゲート絶縁膜上に前記第一ゲート電極と同層の第三ゲート電極を有するサブゲート型薄膜トランジスタであってもよい。

そして、望ましくは、前記第一ゲート電極と前記第二ゲート電極の少なくとも一方が、半導体と金属または半導体と金属シリサイドとの2層構造である。

【0009】

また、上記の目的を達成するため、本発明によれば、基板同一絶縁基板上に、第一ゲート絶縁膜を有するトップゲート型の第一薄膜トランジスタと、前記第一ゲート絶縁膜より膜厚の厚い第二ゲート絶縁膜を有するトップゲート型の第二薄膜トランジスタと、を有する薄膜トランジスタ基板を製造する方法において、

(1) 絶縁基板上に複数の活性領域を形成しその上に第一ゲート絶縁膜を堆積する工程と、

(2) 一部の活性領域上に第一ゲート電極を形成する工程と、

(3) 前記活性領域に選択的に不純物を導入して活性領域に不純物導入領域を形成する工程と、

(4) ゲートカバー膜を堆積する工程と、

(5) 第一ゲート電極の形成されていない活性領域上に第二ゲート電極を形成する工程と、

をこの順に行うことを特徴とする薄膜トランジスタ基板の製造方法、が提供される。

【0010】

そして、望ましくは、前記第(4)の工程と前記第(5)の工程との間に、不純物導入領域に導入された不純物の活性化を行う工程が挿入される。また、一層望ましくは、前記不純物の活性化が、光照射または熱した気体を吹き付ける急速加熱法により行われる。

また、望ましくは、前記不純物の活性化の工程の後前記第(5)の工程の前に、水素化処理の工程が挿入される。そして、さらに望ましくは、前記第一ゲート電極の形成工程または前記第二ゲート電極の形成工程は、プラズマCVD法による半導体薄膜の堆積を行う工程を含む。

【0011】

【発明の実施の形態】

次に、本発明の実施の形態について図面を参照しつつ詳細に説明する。

(第1の実施の形態)

図1、図2は、本発明の第1の実施の形態を示す工程順の断面図である。絶縁基板101上に低電圧駆動TFT201と高電圧駆動TFT202を同時に形成するに当たり、まずレーザアニール法によって形成したpoly-Si膜をパターニングして島状活性層102を形成する〔図1(a)〕。次に、絶縁膜103を堆積する〔図1(b)〕。ここで絶縁膜103は、低電圧駆動TFT201のゲート絶縁膜となる。次に、第一ゲート電極104を形成する〔図1(c)〕。ここで第一ゲート電極104は2層構造とし、下層にプラズマCVD法によって堆積された非単結晶半導体、上層に金属または金属シリサイドを用いるのが、TFT閾値電圧の低電圧化および均一化に効果的である。

【0012】

次に、島状活性層102に不純物を導入し、不純物導入領域105を形成する〔図1 (d) 〕。ここで低電圧駆動TFT201ではゲート電極104を利用し、自己整合的に不純物導入領域105aを形成する。高電圧駆動TFT202では、後の第二ゲート電極107を形成する際の目合わせ精度を考慮し、例えばフォトレジスト膜をマスクとして不純物導入領域105bがオーバーラップ構造となるように形成する。複数種類の駆動電圧を用いるTFTを混載して回路を形成する場合、論理回路、シフトレジスタ等の主要部分を低電圧駆動TFTで構成し、レベルシフト回路は出来るだけ出力側に配置し、高電圧駆動TFTはレベルシフト回路、出力バッファ等のみに用いるのが、回路の低消費電力化に有利である。従って、低電圧駆動TFT201は寄生容量を避ける必要があるが、回路構成しだいで高電圧駆動TFT202では寄生容量は大きな問題とはならない。但し、オフセット構造は駆動能力の低下を招くので避けなければならない。本願発明においては低電圧駆動TFT201は自己整合型、高電圧TFT202はオーバーラップ型とした。これにより、高スループットで複数種類のTFTからなる低消費電力で高速駆動可能な回路を有する薄膜トランジスタ基板を形成できる。なお、不純物導入領域105は、高濃度領域と低濃度領域を有するLDD構造となってもよい。例えば、特許文献1に開示されたものでは、図10に示すように、いずれのTFTもオーバーラップ構造となっているため、寄生容量の影響により高速動作の回路は得られない。

【0013】

次に、ゲートカバー膜106を堆積する〔図2 (e) 〕。ゲートカバー膜106は高スループットの活性化法を用いる際に、ゲート電極を保護するために必須の膜であり、また、絶縁膜103と合わせて、高電圧駆動TFT202のゲート絶縁膜となる膜である。次に、光照射あるいは熱した気体を吹き付ける急速加熱法により不純物を活性化する。この熱処理時において、ゲートカバー膜106により、第一ゲート電極104の膜剥がれは回避される。また、両TFTにおいて不純物の活性化率および絶縁膜103およびゲートカバー膜106の緻密化の程度は同じとなる。次に、水素化を行う。ここで、両TFTにおいて島状活性層102および、絶縁膜103およびゲートカバー膜106中の欠陥の不動態化の程度は同じとなる。従って、両TFTの閾値電圧および信頼性は同等となる。

【0014】

次に、第二ゲート電極107を不純物導入領域105bに対してオーバーラップ構造となるように形成する〔図2 (f)〕。ここで第二ゲート電極107は2層構造とし、下層にプラズマCVD法によって堆積された非単結晶半導体、上層に金属または金属シリサイドを用いるのが、TFT閾値電圧の低電圧化および均一化に加え、前述の水素化工程の時間短縮に効果的である。一般に半導体薄膜成膜用の原料ガスは水素を含む。従って、プラズマCVD法による非単結晶半導体薄膜の成膜中にも島状活性層102および絶縁膜103およびゲートカバー膜106中の欠陥は水素ラジカルにより不動態化される。

【0015】

次に、層間絶縁膜108を堆積し、コンタクトホールを形成し、金属配線109を形成することにより、低電圧駆動TFT201および高電圧駆動TFT 202が完成する〔図2 (g)〕。低電圧駆動TFT201のみを形成した場合と比較して、増加した工程は第二ゲート電極107形成工程のみであり、過度の成膜工程、エッチング工程、不純物導入工程等は含まない。この後、必要に応じて種々の配線、電極、層間膜等を形成して、TFT基板が完成する。

なお、ここでは2種類のTFTを同時に形成する方法のみについて説明したが、3種類以上の場合は図2 (f)以降において順次、第二ゲートカバー膜、第三ゲート電極、第三ゲートカバー膜、第四ゲート電極等を形成すればよい。ここで、第二ゲートカバー膜以降の緻密化および欠陥の不動態化に対しては、第三ゲート電極以降を下層にプラズマCVD法によって300℃以上で堆積された非単結晶半導体を含むものにすれば効果的である。

また、低電圧駆動TFT201と高電圧駆動TFT 202は、nチャネル型、pチャネル型のいずれであってもよい。さらに、同一絶縁基板状に両導電型の低電圧駆動TFT201と高電圧駆動TFTを形成するようにしてもよい。

【0016】

(第2の実施の形態)

図3、4は、本発明の第2の実施の形態を示す工程順の断面図である。なお、低電圧駆動TFT201は第1の実施の形態と同じ構造のため、その説明は適宜省略し

、サブゲート構造を有する高電圧駆動TFT203を中心に説明する。サブゲート構造は、低ゲート電圧下での出力制御性に優れることから、レベルシフト回路に使用する高耐圧TFTに適している。

絶縁基板101上にレーザアニール法によって形成したpoly-Si膜を島状化した島状活性層102を形成する〔図3 (a) 〕。次に、絶縁膜103を堆積する〔図3 (b) 〕。次に、第一ゲート電極104と低電圧用ゲート電極110を同時に形成する〔図3 (c) 〕。ここで、第一ゲート電極104と低電圧用ゲート電極110は2層構造とし、下層にプラズマCVD法によって堆積された非単結晶半導体、上層に金属または金属シリサイドを用いるのが、TFT閾値電圧の低電圧化および均一化に効果的である。

次に、フォトリソマスクを形成しこれとゲート電極をマスクとして島状活性層102に不純物を導入し、不純物導入領域105a、105b、105cを形成する〔図3 (d) 〕。ここで低電圧ゲート電極110側の不純物導入領域105cはゲート電極に対し自己整合的に、後に形成される第二ゲート電極107側の不純物導入領域105bはゲート電極に対しオーバーラップ構造となるように形成する。なお、不純物導入領域105a～105cは、高濃度領域と低濃度領域を有するLDD構造となってもよい。次に、ゲートカバー膜106を堆積する〔図4 (e) 〕。次に、光照射あるいは熱した気体を吹き付ける急速加熱法により不純物を活性化する。次いで、水素化を行う。

【0017】

次に、第二ゲート電極107を、不純物導入領域105bに対してオーバーラップ構造となるように形成する〔図4 (f) 〕。次に、層間絶縁膜108を堆積し、コンタクトホールを形成し、金属配線109を形成することにより、低電圧駆動TFT201およびサブゲート構造の高電圧駆動TFT203が完成する〔図4 (g) 〕。サブゲート構造高電圧駆動TFT203は低電圧用ゲート電極110側の不純物導入領域105cがソース、第二ゲート電極側107側の不純物導入領域105bがドレインとなるが、耐圧の必要性に応じてソース側にもサブゲート(第二ゲート電極と同層)を設けてもよい。この後、必要に応じて種々の配線、電極、層間膜等を形成して、TFT基板が完成する。

【0018】

【実施例】

(第1の実施例)

本発明の第1の実施例について、第1の実施の形態に基づき、図1、図2の工程順断面図を用いて説明する。絶縁基板101としては無アルカリガラス基板に下地膜として膜厚200nmのSiO₂膜を堆積したものをを用いた。島状活性層102としては、前駆膜としてアモルファスシリコン(a-Si)膜を膜厚50nmとなるように堆積した後にエキシマレーザ光を、照射条件としてビーム径200×0.4mm²、エネルギー密度350mJ/cm²、重ね率90%でスキャン照射したpoly-Si膜を用いた。なお、a-Si膜中にはTFT閾値電圧制御用のボロンをドーズ：8E11cm⁻²の条件でイオン注入法を用いて導入した。

【0019】

絶縁膜103としては、プラズマCVD法で堆積したSiO₂膜を用いた。膜厚は低電圧TFT201の駆動電圧を3.3Vとするため、40nmとした。第一ゲート電極104としては、下層をプラズマCVD法で膜厚70nmとなるように堆積したマイクロクリスタルシリコン(mc-Si)膜とし、上層をスパッタ法で膜厚100nmとなるように堆積したCr膜とした2層膜を用いた。mc-Si膜はシラン(SiH₄)ガス、ホスフィン(PH₃)ガス、水素ガス等を原料ガスに用いた。ここでゲート配線幅、すなわちチャネル長は1μmとした。

不純物導入領域105a、105bは、イオンドーピング法を用いて形成し、nチャネルTFTにはリンを40keVの加速電圧で1E15cm⁻²のドーズで導入した。なお、リンのドーピング能力を考慮すると、第一ゲート絶縁膜厚は120nm程度が限界である。pチャネルTFTにはボロンを30keVの加速電圧で2E15cm⁻²のドーズで導入した。ここで高電圧駆動TFT202の不純物導入領域105b間距離はチャネル長となるが、TFT駆動電圧20Vを考慮して、4μmとした。ここで、不純物導入領域105aは自己整合的に不純物を導入したが、基板とビームの角度によってはゲート下の領域に不純物が導入されることもある。但し、その範囲は0.1μm以下である。

【0020】

ゲートカバー膜106としては、プラズマCVD法で堆積したSiO₂膜を用いた。膜厚

は、第一ゲート電極104の保護能力から50nm以上が必要である。ここでは、高電圧TFT202の駆動電圧20Vを考慮し、ゲート絶縁膜厚が合計150nmとなるように、ゲートカバー膜106の膜厚は110nmとした。次に、レーザ活性化法で不純物の活性化を行った。エキシマレーザ光を、照射条件としてビーム径 $200 \times 0.4 \text{ mm}^2$ 、エネルギー密度 200 mJ/cm^2 、重ね率90%でスキャン照射した。次に、基板を水素プラズマに10分間晒すことにより、水素化を行った。

第二ゲート電極107としては、下層をプラズマCVD法で膜厚70nmとなるように堆積したmc-Si膜とし、上層をスパッタ法で膜厚100nmとなるように堆積したCr膜とした2層膜を用いた。ここでゲート配線幅は $5 \mu\text{m}$ とし、不純物導入領域105bとのオーバーラップ距離は、左右両端とも $0.5 \mu\text{m}$ とした。目合わせ制度は $0.3 \mu\text{m}$ 以下であるため、オーバーラップ距離は $0.5 \mu\text{m}$ とすれば十分である。オーバーラップ距離は寄生容量を考慮すると $2 \mu\text{m}$ 以内が望ましい。

【0021】

層間絶縁膜108としては、プラズマCVD法で堆積したSiN膜を用い、膜厚は400nmとした。金属配線109としてはAl-2%Si膜を用い、膜厚は600nmとした。

以上により形成された低電圧駆動TFT201と高電圧駆動TFT202のゲート電圧ードレイン電流特性は、図5に示すように、閾値電圧がそろった良好なものであった。また、信頼性も高く、動作時間10万時間を確保できることを確認した。なお、第一ゲート電極104および第二ゲート電極107をCr膜一層のみで形成した場合、閾値電圧は0.5乃至3V程度大きくなり、同等の信頼性を得るには水素化時間を40分にする必要があった。

【0022】

(第2の実施例)

本発明の第2の実施例について、第1の実施の形態に基づき、図6のTFT断面図を用いて説明する。図6において、図2の部分と同等の部分には同一の参照番号を付した。第1の実施例とほぼ同様にTFT基板を形成したが、第1の実施例との違いは、高電圧駆動TFT202のドレインをLDD構造とした点である。すなわち、ドレインを、高濃度領域である不純物導入領域105dと低不純物濃度領域105eとによって形成した。低不純物濃度領域105eはイオンドーピング法を用い、リンあるいはボロ

ンを何れも $1 \times 10^{13} \text{cm}^{-2}$ のドーズでドーピングした。低不純物濃度領域 105e の長さ（図示された断面での長さ）は $2 \mu\text{m}$ とした。また、活性化法はアークランプ光照射法により行い、 700°C で 1 時間の活性化処理を行った。

ドレインを LDD 構造としたことにより、高電圧駆動 TFT202 のリーク電流は低下し、耐圧のマージンは増加し、信頼性は更に向上した。なお、ソースを LDD 構造としてもよいし、低電圧駆動 TFT201 のソース・ドレインを LDD 構造としてもよい。TFT のリーク電流、耐圧、信頼性を考慮してソース・ドレインの一方または双方に採用すればよい。

【0023】

（第3の実施例）

本発明の第3の実施例について、第2の実施の形態に基づき、図3、図4の工程順断面図を用いて説明する。絶縁基板 101 としては無アルカリガラス基板に下地膜として膜厚 100nm の SiN 膜と膜厚 100nm の SiO_2 膜を順に堆積したものをを用いた。島状活性層 102 としては、前駆膜として a-Si 膜を膜厚 60nm となるように堆積した後にエキシマレーザ光を、照射条件としてビーム径 $200 \times 0.4 \text{mm}^2$ 、エネルギー密度 380mJ/cm^2 、重ね率 95% でスキャン照射した poly-Si 膜を用いた。なお、a-Si 膜中には TFT 閾値電圧制御用のボロンをドーズ： $1 \times 10^{12} \text{cm}^{-2}$ でイオン注入法を用いて導入した。

絶縁膜 103 としては、プラズマ CVD 法で堆積した SiO_2 膜を用いた。膜厚は低電圧駆動 TFT201 の駆動電圧を 5V とするため、 50nm とした。第一ゲート電極 104 および低電圧用ゲート電極 110 としては、下層をプラズマ CVD 法で膜厚 70nm となるように堆積した mc-Si 膜とし、上層をスパッタ法で膜厚 150nm となるように堆積した WSi 膜とした 2 層膜を用いた。ここでゲート配線幅、すなわちチャネル長は $2 \mu\text{m}$ とした。低電圧用ゲート電極 110 の幅も $2 \mu\text{m}$ とした。

【0024】

不純物導入領域 105a～105c は、イオンドーピング法を用いて形成し、n チャネル TFT にはリンを 40keV の加速電圧で $1 \times 10^{15} \text{cm}^{-2}$ のドーズで導入した。p チャネル TFT にはボロンを 30keV の加速電圧で $2 \times 10^{15} \text{cm}^{-2}$ のドーズで導入した。ここでサブゲート型高電圧駆動 TFT203 の不純物導入領域間距離 (105c から 105b 間の距離) は、高電

圧側の駆動電圧40Vを考慮して、 $8\mu\text{m}$ とした。

ゲートカバー膜106としては、プラズマCVD法で堆積した SiO_2 膜を用いた。膜厚は高電圧側の駆動電圧40Vを考慮し、ゲート絶縁膜厚が合計200nmとなるように、ゲートカバー膜106の膜厚は150nmとした。次に、熱した気体を吹き付ける急速加熱法により不純物を活性化した。気体としては窒素ガスを用い、 650°C で2分の活性化処理を行った。次に、基板を水素プラズマに12分間晒すことにより、水素化を行った。

【0025】

第二ゲート電極107としては、下層をプラズマCVD法で膜厚70nmとなるように堆積したmc-Si膜とし、上層をスパッタ法で膜厚150nmとなるように堆積したWSi膜とした2層膜を用いた。ここでゲート配線幅は $7\mu\text{m}$ とし、低電圧用ゲート電極110および不純物導入領域105bとのオーバーラップ距離は何れも $0.5\mu\text{m}$ とした。すなわちサブゲート型高耐圧TFT203において、低電圧用ゲート電極110下のチャネル領域のチャネル長は $2\mu\text{m}$ 、高電圧用第二ゲート電極107下のチャネル領域のチャネル長は $6\mu\text{m}$ となる。

層間絶縁膜108としては、プラズマCVD法で堆積した SiO_2 膜を用い、膜厚は400nmとした。金属配線109としてはAl-2%Si膜を用い、膜厚は800nmとした。以上により低電圧用駆動TFT201とサブゲート構造の高電圧駆動TFT203を同時に形成できた。

【0026】

(第4、5、6の実施例)

図7、図8、図9は、それぞれ、第2の実施の形態に基づく、本発明の第4、第5、第6の実施例を説明するための断面図である。図7～図9において、図4、図6の部分と同等の部分には同一の参照番号が付けられている。

【0027】

図7に示すように、第4の実施例では、第3の実施例と同様にサブゲート構造高電圧駆動TFT203を作成したが、ここではドレインをLDD構造に作成した。すなわち、ドレインを、高濃度領域である不純物導入領域105dと低不純物濃度領域105eとによって形成した。LDD構造の形成方法は第2実施例と同様である。低不純物

濃度領域105eの長さ（図示した断面での長さ）は0.5乃至2 μ m程度である。

【0028】

図8に示すように、第5の実施例では、第4の実施例と同様にサブゲート構造高電圧駆動TFT203を作成したが、ここではドレインをLDD構造に形成したのに加え、チャネル領域内に低不純物濃度領域105eと同一導電型、同一濃度の低不純物濃度領域105fを、低電圧用ゲート電極110に自己整合させて形成した。ここで、低不純物濃度領域105e、105fの長さは共に0.5乃至2 μ m程度である。

【0029】

図9に示すように、第6の実施例では、第5の実施例と同様に、ドレインをLDD構造に形成し、チャネル領域内にチャネル領域と反対導電型の低不純物濃度領域105fを形成したが、ここでは第二ゲート電極107が低電圧用ゲート電極110に対しオフセットして形成されている。このオフセット量は、低不純物濃度領域105fの長さ（0.5～2 μ m）以下に抑えることが望ましい。

【0030】

【発明の効果】

以上説明したように、本発明の薄膜トランジスタ基板は、低電圧駆動TFTのソース・ドレイン領域は自己整合的に形成し、高電圧駆動TFTのソース・ドレイン領域はゲート電極に対してオーバーラップ状態に形成するようにしたものである。低電圧駆動TFTの動作速度を低下させることなく、かつ、高電圧駆動TFTの駆動能力を低下させることなく、両方のTFTの活性層に対し同じ条件で、不純物導入およびその活性化および水素化処理を行うことが可能になる。したがって、本発明によれば、閾値特性がそろい、高周波数で駆動可能な、高信頼性を有する回路動作が得られる、絶縁膜厚が異なる複数種類の薄膜トランジスタを有する薄膜トランジスタ基板を、高スループットで形成することが可能となる。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態の工程順の断面図(その1)。

【図2】 本発明の第1の実施の形態の工程順の断面図(その2)。

【図3】 本発明の第2の実施の形態の工程順の断面図(その1)。

【図4】本発明の第2の実施の形態の工程順の断面図(その2)。

【図5】本発明の第1の実施例におけるTFT特性を示す図。

【図6】本発明の第2の実施例を説明するための部分断面図。

【図7】本発明の第4の実施例を説明するための部分断面図。

【図8】本発明の第5の実施例を説明するための部分断面図。

【図9】本発明の第6の実施例を説明するための部分断面図。

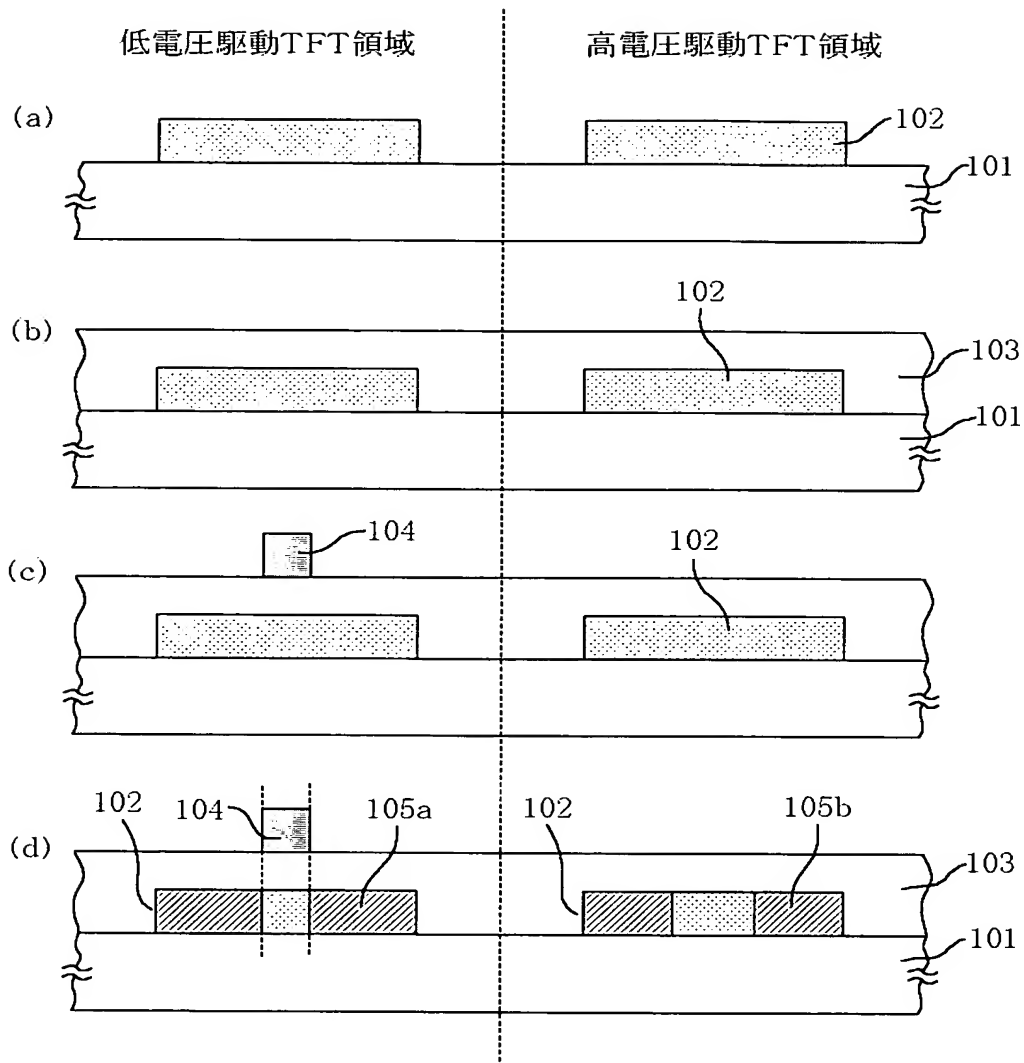
【図10】従来例のTFT断面図。

【符号の説明】

- 101、301 絶縁基板
- 102、302 島状活性層
- 103 絶縁膜
- 104 第一ゲート電極
- 105a～105d、305a、305b 不純物導入領域
- 105e、105f 低不純物濃度領域
- 106 ゲートカバー膜
- 107 第二ゲート電極
- 108 層間絶縁膜
- 109、309 金属配線
- 110 低電圧用ゲート電極
- 201 低電圧駆動TFT
- 202、203 高電圧駆動TFT
- 303 ゲート絶縁膜
- 304、307 ゲート電極
- 306 第一層間絶縁膜
- 308 第二層間絶縁膜
- 401 周辺回路用TFT
- 402 マトリクス回路用TFT

【書類名】 図面

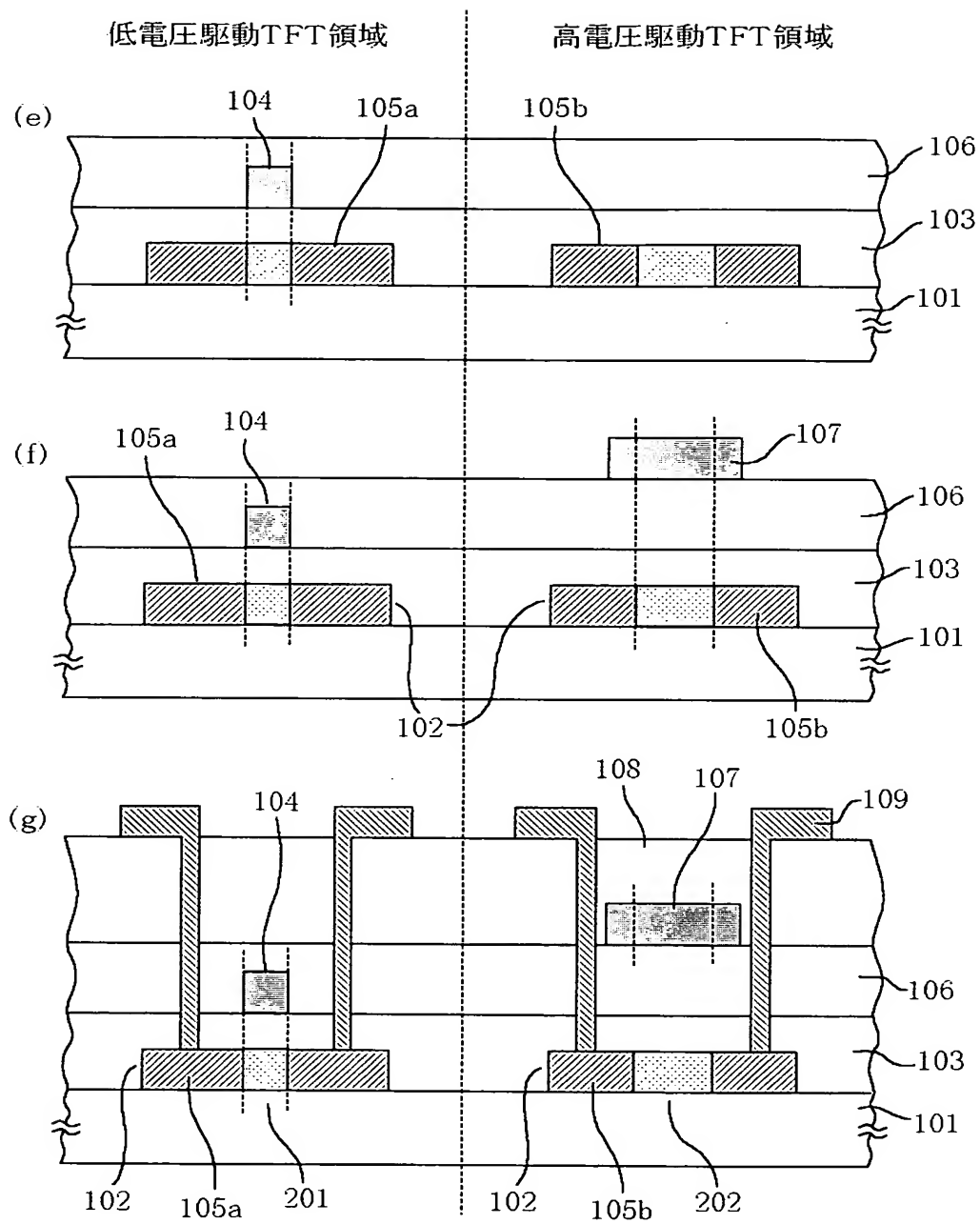
【図 1】



- 101 絶縁基板
102 島状活性層
103 絶縁膜
104 第一ゲート電極
105a、105b 不純物導入領域

(図1)

【図 2】

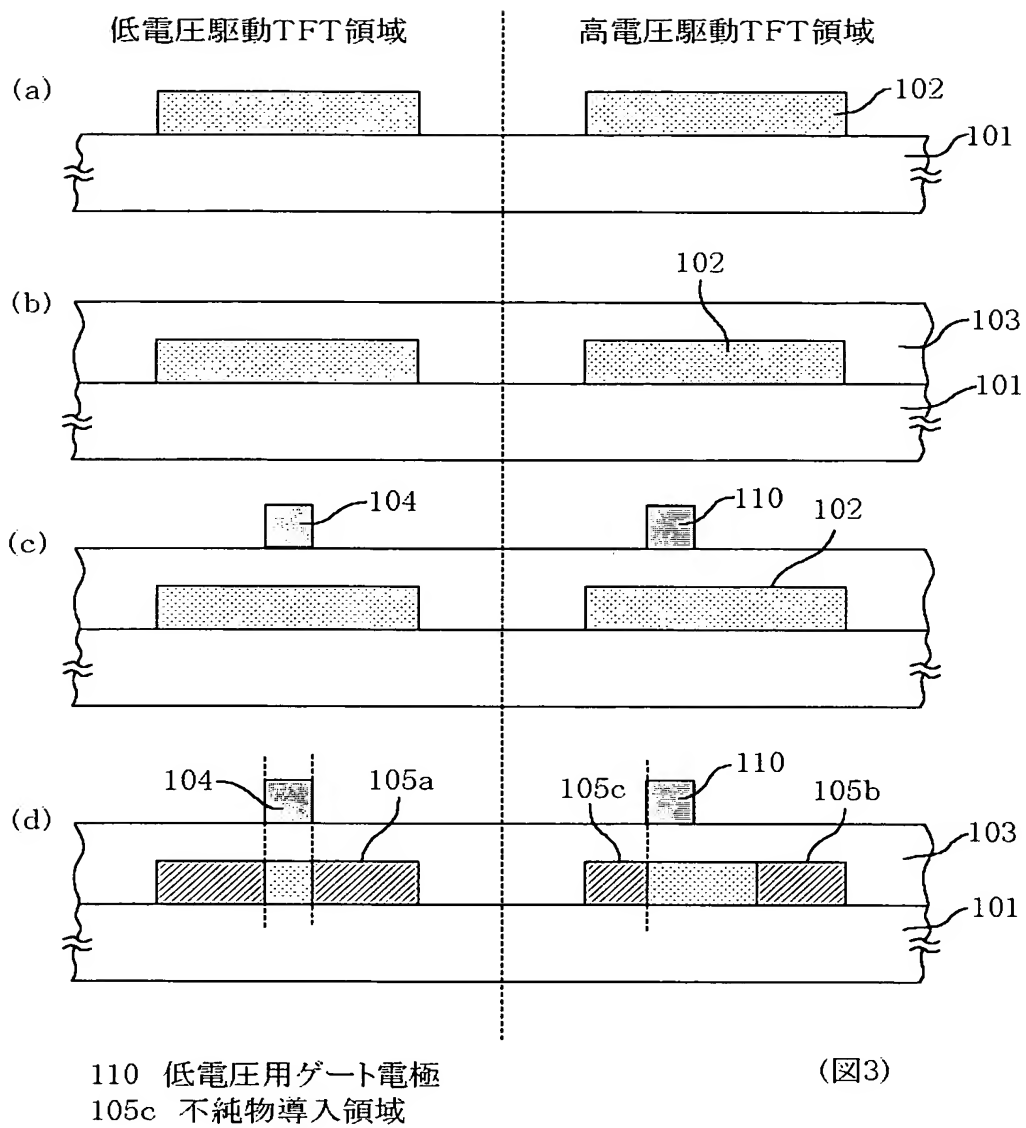


106 ゲートカバー膜
107 第二ゲート電極
108 層間絶縁膜
109 金属配線

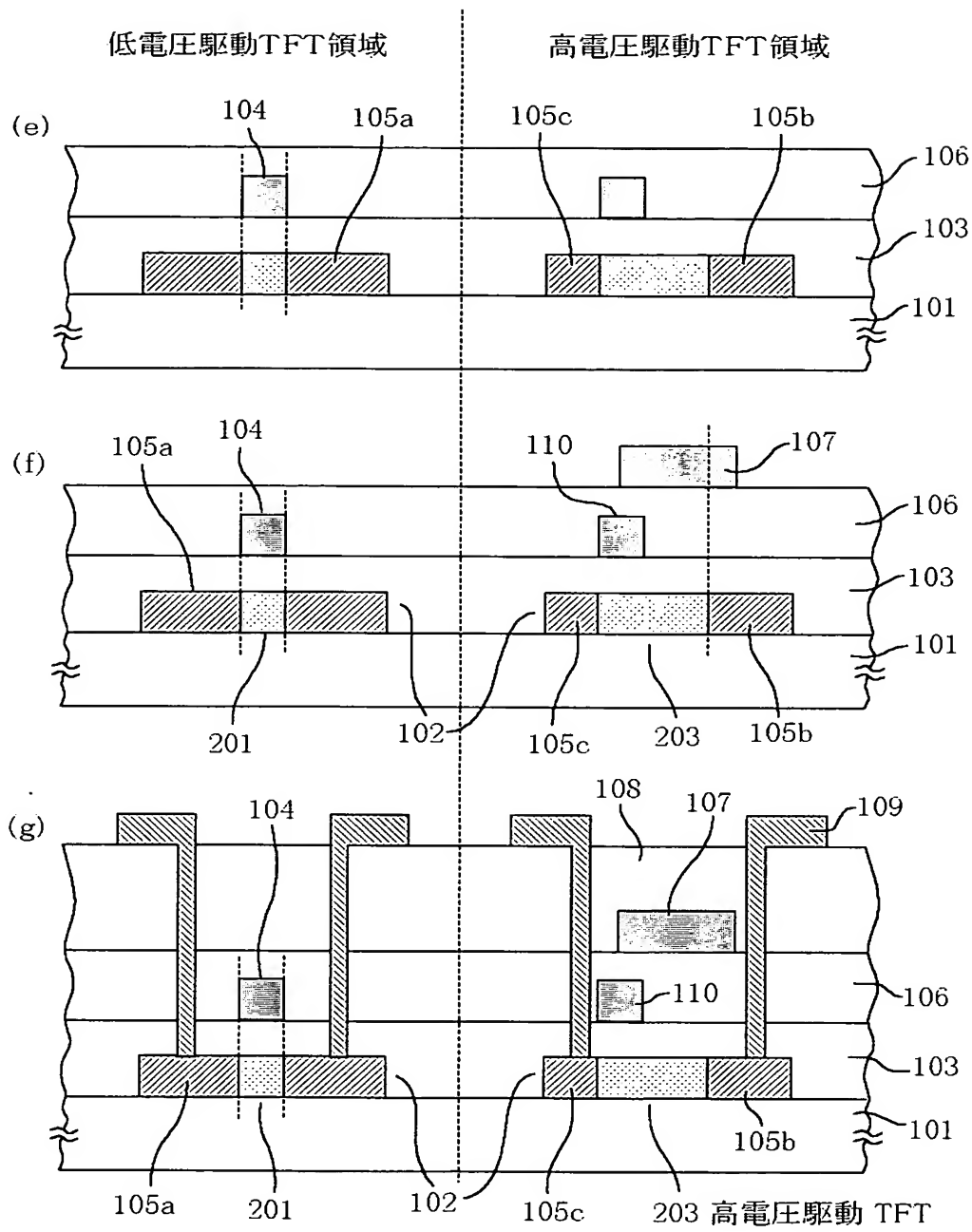
201 低電圧駆動 TFT
202 高電圧駆動 TFT

(図2)

【図3】

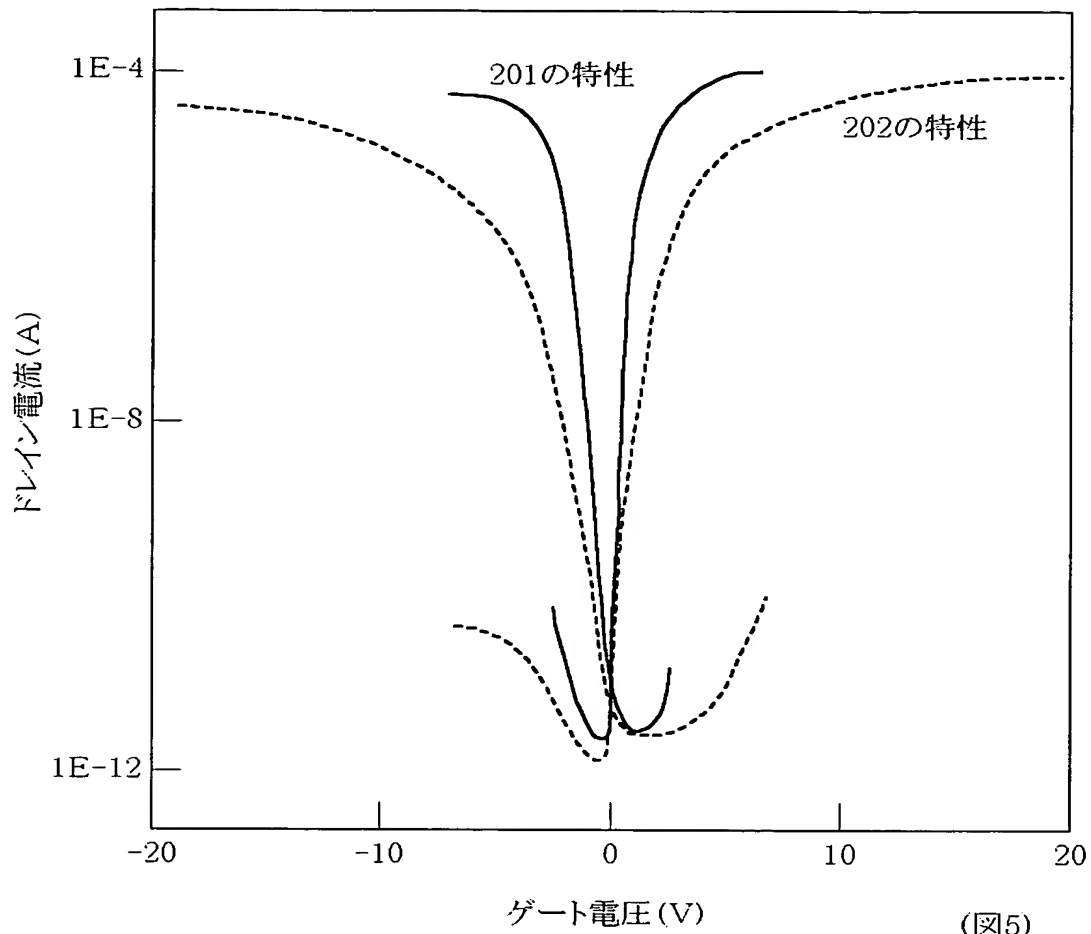


【図 4】

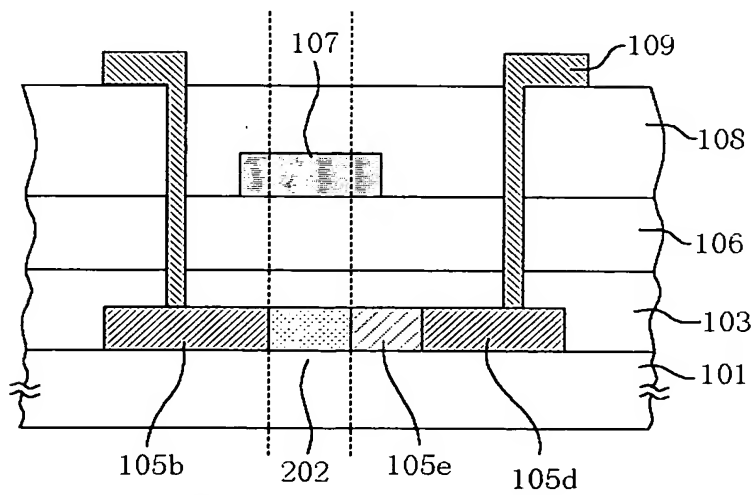


(図4)

【図5】



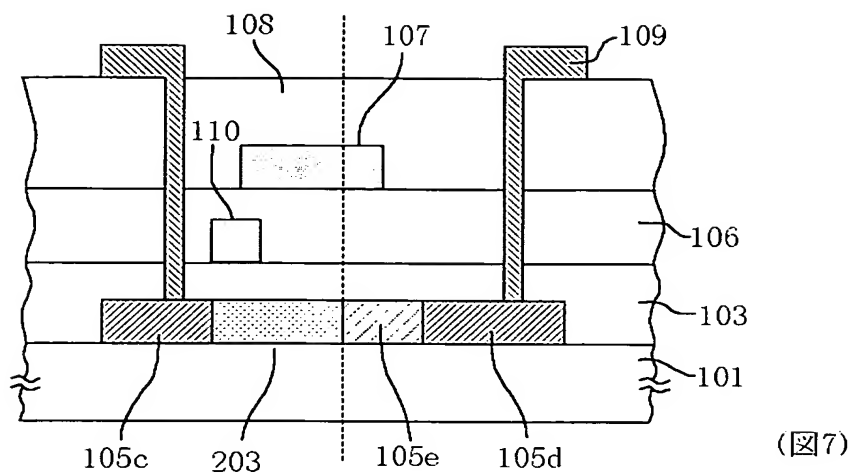
【図6】



105d 不純物導入領域
105e 低不純物濃度領域

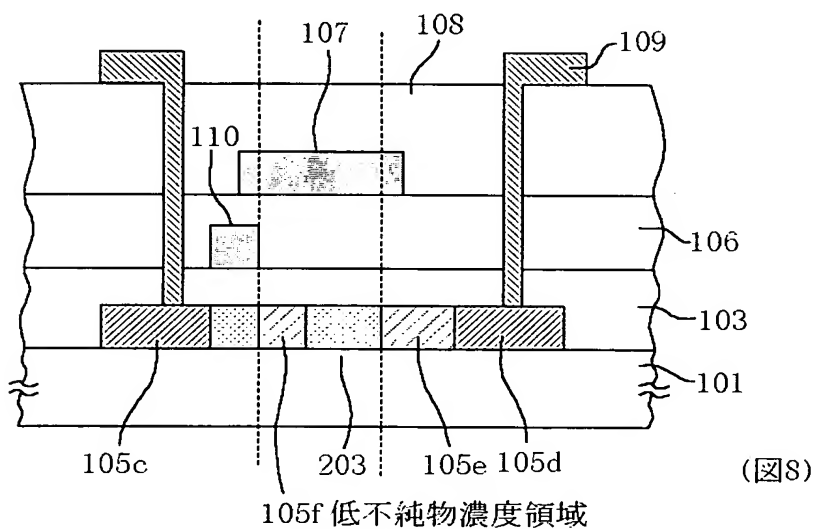
(図6)

【図 7】



(図7)

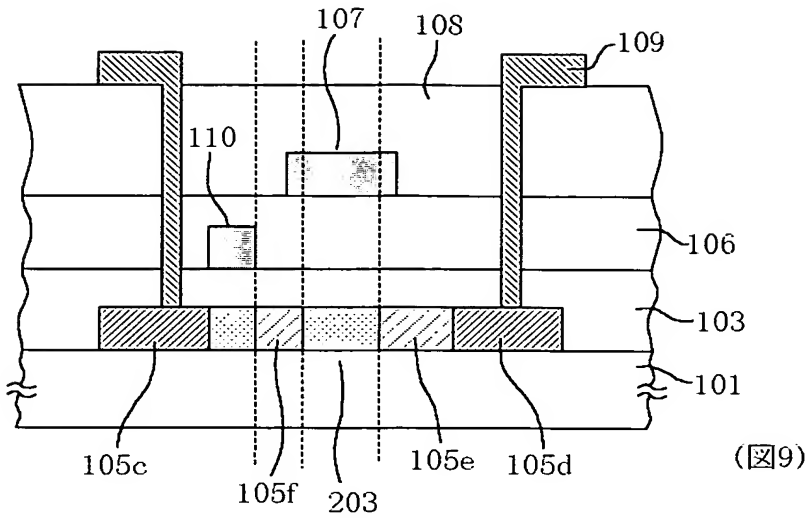
【図 8】



(図8)

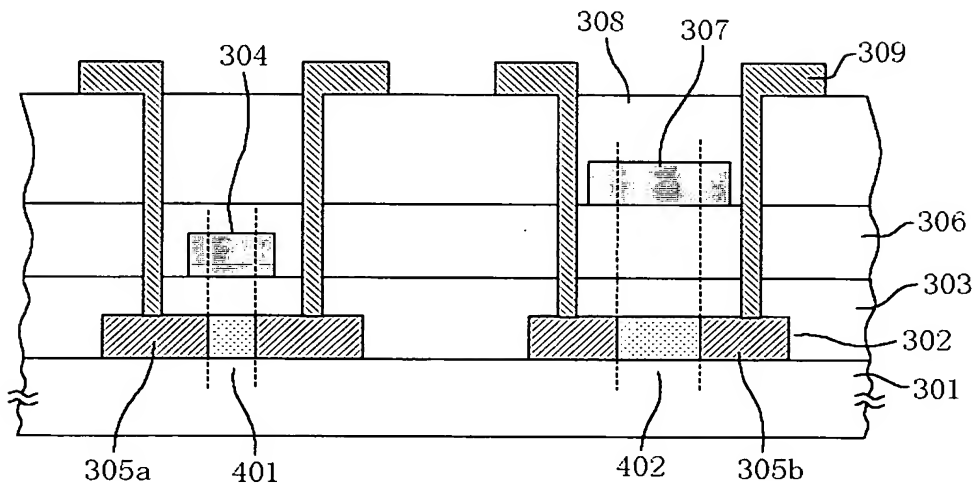
105f 低不純物濃度領域

【図 9】



(図9)

【図 10】



(図10)

- | | |
|-------------------|------------------|
| 301 絶縁基板 | 306 第一層間絶縁膜 |
| 302 島状活性層 | 308 第二層間絶縁膜 |
| 303 ゲート絶縁膜 | 309 金属配線 |
| 304、307 ゲート電極 | 401 周辺回路用 TFT |
| 305a、305b 不純物導入領域 | 402 マトリクス回路用 TFT |

【書類名】 要約書

【要約】

【課題】 ゲート絶縁膜厚が異なる複数種類のTFTを、閾値特性がそろい、高周波数駆動可能で、高信頼性回路動作可能に高スループットで形成する。

【解決手段】 絶縁基板101上に、島状化した半導体層を形成しその上に第一ゲート絶縁膜103を堆積する。低電圧駆動TFT201側の半導体層上に第一ゲート電極104を形成する。低電圧駆動TFT201と高電圧駆動TFT202の両方の半導体層に不純物を導入する。ゲートカバー膜106を堆積し、不純物の活性化処理を行う。続いて水素化処理を行う (e)。高電圧駆動TFT202の第二ゲート電極107を形成する (f)。層間絶縁膜108を堆積し、金属配線109を形成する (g)。

【選択図】 図 2

特願 2 0 0 3 - 0 4 2 0 8 3

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 4 2 3 7]

1. 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

東京都港区芝五丁目 7 番 1 号

氏 名

日本電気株式会社